

# BUNDESREPUBLIK DEUTSCHLAND



JCS11 U.S. PTO  
09/228101  
01/11/71

## Bescheinigung

Die Lucent Technologies Network Systems GmbH in Nürnberg/  
Deutschland hat eine Patentanmeldung unter der Bezeich-  
nung

"Schaltungsanordnung zur Übertragung plesio-  
chroner Signale in einem SDH-Übertragungs-  
system"

am 12. Januar 1998 beim Deutschen Patentamt eingereicht.

Die angehefteten Stücke sind eine richtige und genaue  
Wiedergabe der ursprünglichen Unterlagen dieser Patent-  
anmeldung.

Die Anmeldung hat im Deutschen Patentamt vorläufig das Symbol  
H 04 L 12/50 der Internationalen Patentklassifikation erhal-  
ten.

München, den 12. März 1998

Der Präsident des Deutschen Patentamts

Im Auftrag

*Wenner*

Aktenzeichen: 198 00 619.5

Wenner

CERTIFIED COPY OF  
PRIORITY DOCUMENT

Best Available Copy

## Schaltungsanordnung zur Übertragung plesiochroner Signale in einem SDH-Übertragungssystem

Die Erfindung betrifft eine Schaltungsanordnung für einen Empfangsteil eines SDH (= synchrone digitale Hierarchie)-Übertragungssystems und eine Schaltungsanordnung für einen Sendeteil eines SDH-Übertragungssystems.

SDH ist eine spezielle Übertragungshierarchie zur Übertragung digitaler Signale. Mittels der synchronen digitalen Hierarchie können plesiochrone Signale einheitlich übertragen werden. Dabei heißen mehrere binäre Signale plesiochron, wenn ihre Bitraten nominell gleich sind, tatsächlich aber innerhalb einer gegebenen Toleranz vom Nennwert abweichen können. Es können mehrere parallele plesiochrone Signale im Zeitmultiplex-Verfahren mittels eines Übertragungskanal (SDH-Übertragungskanal) übertragen werden. Bevor die plesiochronen Signale durch einen Multiplexer (SDH-Multiplexer) zusammengefaßt werden und auf dem SDH-Übertragungskanal übertragen werden können, müssen diese im Empfangsteil auf die gleiche Bitrate gebracht werden. Die Angleichung der Bitraten erfolgt im Empfangsteil, insbesondere durch Bit- oder Pointer-Stopfaktionen. Im Sendeteil werden die plesiochronen Signale aus dem synchronen Signalstrom wieder zurückgewonnen und mit den ihnen zugeordneten plesiochronen Signaltakten auf die ihnen zugeordneten Ausgangskanäle gelegt.

Zur Synchronisierung der parallelen plesiochronen Signalströme ist es denkbar, den Empfangsteil durch parallele Schaltungen zu realisieren, in denen eine parallele Bearbeitung der plesiochronen Signale erfolgt. Analog können auch im Sendeteil die im SDH-Übertragungskanal übertragenen Signale in parallelen Schaltungen zu parallelen

plesiochronen Signalen verarbeitet werden. Nachteilig hierbei ist, daß der schaltungstechnische Aufwand mit steigender Anzahl der dem Empfangsteil zugeordneten Eingangskanäle bzw. der dem Sendeteil zugeordneten Ausgangskanäle stark ansteigt.

Der Erfindung liegt daher die Aufgabe zugrunde, eine Schaltungsanordnung für einen Empfangsteil bzw. für einen Sendeteil eines SDH-Übertragungssystems anzugeben, die bei geringer Komplexität und mit geringem technischem Aufwand eine Übertragung von plesiochronen Signalen in einem SDH-Übertragungssystem ermöglicht.

Bezüglich der Schaltungsanordnung für einen Empfangsteil wird diese Aufgabe erfindungsgemäß gelöst durch die Merkmale des Patentanspruches 1. Bezüglich der Schaltungsanordnung für einen Sendeteil wird die Aufgabe erfindungsgemäß gelöst durch die Merkmale des Patentanspruches 5. Vorteilhafte Ausgestaltungen sind Gegenstand der Unteransprüche.

Die Schaltungsanordnung für den Empfangsteil des SDH-Übertragungssystems enthält mehrere, den plesiochronen Signalen zugeordnete Eingangskanäle und einen Taktsynchronisierer. Die Eingangskanäle sind an die Eingangsseite des Taktsynchronisierers angeschlossen. Der Taktsynchronisierer paßt die parallel empfangenen plesiochronen Signale an einen gemeinsamen Verarbeitungstakt an. Dem Taktsynchronisierer ist ein Multiplexer (Empfangs-Multiplexer) nachgeschaltet, an dessen Ausgang Empfangs-Verarbeitungsmittel angeschlossen sind. Diese Empfangs-Verarbeitungsmittel setzen die plesiochronen Signale in synchrone Signale für einen SDH-Übertragungskanal um.

Hierdurch ist es möglich, ein und dieselben Empfangs-Verarbeitungsmittel im Zeitmultiplexverfahren mehrfach zu verwenden. Auf diese Weise können mehrere Eingangskanäle von denselben Empfangs-Verarbeitungsmitteln verarbeitet werden. Die Schaltungsanordnung für den Empfangsteil wird hierzu in einer der Anzahl der Eingangskanäle entsprechenden Anzahl von Zeitscheiben betrieben. In jeder Zeitscheibe liegt nur ein Kanal am Eingang der Empfangs-Verarbeitungsmittel an. Dabei gewährleistet die Taktanpassung durch den

Taktsynchronisierer den ordnungsgemäßen Ablauf des Zeitmultiplexverfahrens.

Der technische Aufwand für die Realisierung des Empfangsteils eines SDH-Übertragungssystems bleibt deshalb auch bei einer großen Anzahl paralleler Eingangskanäle gering und somit kostengünstig.

Dieselben Vorteile werden mit der erfindungsgemäßen Schaltungsanordnung für den Sendeteil eines SDH-Übertragungssystems erzielt, indem die mittels des SDH-Übertragungskanales bereits übertragenen Signale im Zeitmultiplexverfahren in ein und denselben Empfangs-Verarbeitungsmitteln zu plesiochronen Signalen verarbeitet werden. Zur Realisierung des Zeitmultiplexverfahrens im Sendeteil ist ein Multiplexer (Sende-Multiplexer) vorgesehen, an dessen Ausgang die Sende-Verarbeitungsmittel angeschlossen sind. Diese Sende-Verarbeitungsmittel setzen die übertragenen synchronen Signale in plesiochrone Signale um. Zur Rückgewinnung der plesiochronen Signaltakte der plesiochronen Signale ist an die Sende-Verarbeitungseinheit ausgangsseitig ein Desynchronisierer angeschlossen. Dieser Desynchronisierer gibt die plesiochronen Signale an ihnen zugeordnete Ausgangskanäle aus. Das dabei möglichst viele Verarbeitungsschritte der Signale im Zeitmultiplexverfahren durchgeführt werden können gewährleistet der Anschluß des Desynchronisierers an die Ausgangsseite der Sende-Verarbeitungsmittel.

In einer bevorzugten Ausführungsform enthält der Taktsynchronisierer eine der Anzahl der Eingangskanäle entsprechende Anzahl von Pufferspeichern. In diese Pufferspeicher werden die Signale mit ihrem plesiochronen Signaltakt eingeschrieben, während die parallelen Signale am Ausgang der Pufferspeicher einen zueinander synchronen Verarbeitungstakt aufweisen. Hierdurch ist die vor dem Zeitmultiplexverfahren erforderliche Taktsynchronisierung der plesiochronen Signale durch vorkonfektionierte Bauteile kostengünstig realisierbar.

In einer vorteilhaften Ausgestaltung ist den Empfangs-Verarbeitungsmitteln ein Demultiplexer (Empfangs-

Demultiplexer) nachgeschaltet. Hierdurch kann die Schaltungsanordnung für den Empfangsteil ohne zusätzlichen technischen Aufwand an eine Schnittstelle angeschlossen werden, welche dem SDH-Übertragungskanal vorgeschaltet ist. An dieser Schnittstelle befindet sich beispielsweise ein SDH-Multiplexer, der die synchronisierten Signale vom Empfangs-Demultiplexer aufnimmt und in dem für ihn charakteristischen Zeitmultiplexverfahren auf den SDH-Übertragungskanal weitersendet. Hierdurch kann die Schaltungsanordnung für den Empfangsteil ohne besonderen technischen Aufwand an eine bereits vorhandene Schnittstelle des SDH-Übertragungskanals angeschlossen werden. Dies wiederum fördert die universelle Einsetzbarkeit der Schaltungsanordnung.

Um den technischen Aufwand für den Sendeteil besonders gering zu halten, sind in einer bevorzugten Ausführungsform die Sende-Bearbeitungsmittel ausgangsseitig an einen im Desynchronisierer enthaltenen Demultiplexer (Sende-Demultiplexer) angeschlossen.

In weiteren vorteilhaften Ausführungsformen sind die Empfangs-Verarbeitungsmittel und/oder die Sende-Verarbeitungsmittel und/oder der Desynchronisierer Bestandteil eines sogenannten digitalen Schaltwerkes, welches in einem der Anzahl der Kanäle entsprechenden Anzahl von Zeitscheiben betrieben wird. Unter einem digitalen Schaltwerk wird hierbei eine digitale Schaltungsanordnung zur Durchführung logischer Verknüpfungen mit der zusätzlichen Fähigkeit verstanden, einzelne variable Zustände zu speichern. Ein solches Schaltwerk wird auch als Finite State Machine (FSM) bezeichnet und enthält ein rein kombinatorisches Logikteil - ein sogenanntes Schaltnetz - sowie einen Zustandsspeicher, in dem der aktuelle Zustand des Schaltwerks gespeichert ist. Dieser Zustandsspeicher wird auch als Zustandsregister bezeichnet und ist meist mit Flip-Flops realisiert. Der aktuelle Zustand des Schaltwerks (Systemzustand) wird von einem Bitmuster oder Zustandsvektor repräsentiert, dessen Wert für jeweils eine Taktdauer im Zustandsregister gespeichert ist. Dieser aktuelle Systemzustand wird im folgenden Takt an das kombinatorische Logikteil ausgegeben und dort durch eine logische

Kombination mit den Eingangsvariablen zu Ausgangsvariablen und einem neuen Zustand des Schaltwerks (Folgesystemzustand) verknüpft. Dieser Folgesystemzustand wird dann erneut in den Zustandsspeicher geladen und im nächsten Takt an das kombinatorische Logikteil ausgegeben. Ein solches Schaltwerk ist beispielsweise im Lehrbuch "Halbleiter-Schaltungstechnik, U. Tietze, Ch. Schenk, 5. Auflage, 1980, Seiten 491 ff, näher erläutert.

Auf die Schaltungsanordnung angewandt, enthält nun das digitale Schaltwerk eine Mehrzahl von Kanälen, welche an einen Multiplexer (z.B. Empfangs-Multiplexer oder Sendemultiplexer) angeschlossen sind. Dem Ausgang des Multiplexers ist ein Eingang eines Schaltnetzes nachgeschaltet, dem ein adressierbarer Zustandsspeicher zugeordnet ist. Dieser ist zum Speichern einer zumindest der Anzahl der an den Multiplexer angeschlossenen Kanäle entsprechenden Anzahl von Systemzuständen ausgelegt.

Durch diese Maßnahme ist es möglich, ein und dasselbe Schaltnetz im Zeitmultiplexverfahren mehrfach zu verwenden. Das digitale Schaltwerk wird hierzu in einem der Anzahl der Kanäle entsprechenden Anzahl von Zeitscheiben betrieben. In jeder Zeitscheibe liegt nur ein Kanal am Eingang des Schaltnetzes an. Der zu diesem Kanal gehörende Systemzustand wird aus dem Zustandsspeicher ausgelesen. Im Schaltnetz werden das Ausgangssignal (Ausgangsvariablen) und der folgende Systemzustand generiert, der erneut im Zustandsspeicher abgelegt wird. Auf diese Weise können mehrere Kanäle von ein und demselben Schaltnetz verarbeitet werden. Bei dem Schaltwerk ist somit nur ein geringer Schaltungsaufwand erforderlich, da das die kombinatorische Logik enthaltende Schaltnetz im Zeitmultiplex mehrfach benutzt werden kann.

Derartige digitale Schaltwerke zur Verarbeitung paralleler Signale fördern deshalb einen Aufbau des Empfangsteiles und des Sendeteiles mit geringer Komplexität und mit geringem technischen Aufwand. Dabei ist der gegenüber vorbekannten Schaltwerken zusätzliche technische Aufwand für den Zustandsspeicher vernachlässigbar gering im Vergleich zum Einsparungseffekt durch die Mehrfachverwendung derselben

kombinatorischen Logik (Schaltnetz) im Zeitmultiplexverfahren.

Ferner ist in einer bevorzugten Ausführungsform zum Ausgeben der Ausgangsvariablen des Schaltnetzes ein erster Ausgang vorgesehen, dem ein erster Demultiplexer (insbesondere Empfangs- oder Sende-Demultiplexer) vorgeschaltet ist. Durch diese Maßnahme können die in den einzelnen Zeitscheiben vorliegenden Zustände des Schaltnetzes ausgelesen werden. Zweckmäßigerweise ist zum Ausgeben des Systemzustandes ein zweiter Ausgang vorgesehen, dem ein zweiter Demultiplexer vorgeschaltet ist. Dadurch ist in den einzelnen Zeitscheiben ein Zugriff auf die jeweils aktuellen Systemzustände möglich.

Um eine Anzahl von Verarbeitungsfunktionen innerhalb eines Bauteils durchführen zu können sind vorteilhafterweise mehrere Schaltnetze, denen jeweils ein Zustandsspeicher zugeordnet ist, hintereinander geschaltet. Hierdurch ist es auf schaltungstechnisch einfache Weise möglich, in der Empfangs-Verarbeitungseinheit und/oder in der Sende-Verarbeitungseinheit und/oder im Desynchronisierer mehrere Verarbeitungsfunktionen zur Verarbeitung der Signale zu integrieren.

Nachfolgend werden Ausführungsbeispiele der Erfindung anhand einer Zeichnung näher erläutert. Darin zeigen:

- Fig. 1 in schematischer Darstellung einen Empfangsteil und einen Sendeteil für ein SDH-Übertragungssystem,
- Fig. 2 in einem Prinzipschaltbild eine Schaltungsanordnung für den Empfangsteil,
- Fig. 3 in einem Prinzipschaltbild eine Schaltungsanordnung für den Sendeteil,
- Fig. 4 in einem Prinzipschaltbild ein im Zeitmultiplexverfahren betriebenes digitales Schaltwerk ,
- Fig. 5 ein digitales Schaltwerk gemäß Fig. 4 als 8-kanaliger 16-Bitzähler,
- Fig. 6 den zeitlichen Ablauf der zum Steuern des 8-kanaligen 16-Bitzählers erforderlichen Steuersignale, und

Fig. 7 eine weitere vorteilhafte Ausführungsform eines im Zeitmultiplexverfahren arbeitenden digitalen Schaltwerks.

Gemäß Fig. 1 enthält ein SDH-Übertragungssystem eine Schaltungsanordnung für einen Empfangsteil 1 und eine Schaltungsanordnung für einen Sendeteil 2. Der Empfangsteil 1 und der Sendeteil 2 sind über geeignete Schnittstellen an einen nur schematisch dargestellten SDH-Übertragungskanal 3 angeschlossen. Mit Hilfe des in Fig. 1 dargestellten SDH-Übertragungssystems werden parallele plesiochrone Signale empfangen, im Empfangsteil 1 verarbeitet und als "synchronisierte" Signale auf den SDH-Übertragungskanal 3 ausgegeben. Nach der Übertragung dieser "synchronisierten" Signale wird im Sendeteil 2 die ursprüngliche plesiochrone Struktur der Signale wieder hergestellt, bevor sie vom Sendeteil 2 an die parallelen Ausgängskanäle AK1, AK2, .... AKn ausgegeben werden.

Der Empfangsteil 1 empfängt an seiner Eingangsseite mehrere parallele plesiochrone Signale. Hierzu sind an der Eingangsseite des Empfangsteiles 1 mehrere zueinander parallele Eingangskanäle EK1, EK2, .... EKn angeordnet. Diese Eingangskanäle EK1, EK2, ... EKn sind an einen Taktsynchronisierer 4 angeschlossen. Der Taktsynchronisierer 4 empfängt die plesiochronen Signale und paßt sie an einen gemeinsamen Verarbeitungstakt an. Hierdurch werden die plesiochronen Signale vom Taktsynchronisierer 4 frequenzgleich ausgegeben. Diese Frequenzgleichheit ist Voraussetzung dafür, daß die plesiochronen Signale von einem dem Taktsynchronisierer 4 nachgeschalteten Empfangs-Multiplexer 5 empfangen und im Zeitmultiplexverfahren weiterverarbeitet werden können. Zu diesem Zweck sind an den Ausgang des Empfangs-Multiplexers 5 Empfangs-Verarbeitungsmittel 6 angeschlossen. In diesen Empfangs-Verarbeitungsmitteln 6 wird das vom Empfangs-Multiplexer 5 abgegebene plesiochrone Signal verarbeitet. Je nach Anwendungsfall können in den Empfangs-Verarbeitungsmitteln 6 z.B. verschiedene plesiochrone Funktionsblöcke sowie ein Synchronisierer 8 und eine Abbildeeinheit (Mapper) 9 enthalten sein. Derart ausgestaltete Empfangs-Verarbeitungsmittel 6 sind in Fig. 2



näher dargestellt. In einer weiteren, hier nicht dargestellten Ausführungsform kann auf plesiochrone Funktionsblöcke teilweise oder vollständig verzichtet werden, so daß die Empfangs-Verarbeitungsmittel 6 im wesentlichen nur noch einen Synchronisierer 8 und eine Abbildeeinheit 9 enthalten.

Im Synchronisierer 8 und in der Abbildeeinheit 9 erfolgt die Umsetzung des plesiochronen Signalstroms in den synchronen Signalstrom. Hierzu werden im Synchronisierer 8 die notwendigen Bit- oder Byte-Stopfaktionen (Pointer-Aktionen) ermittelt, welche dann in der Abbildeeinheit 9 in den synchronen Signalstrom abgebildet werden. Mit anderen Worten: Die an den Ausgangsleitungen eines den Empfangs-Verarbeitungsmitteln 6 nachgeschalteten Empfangs-Demultiplexers 10 anstehenden Signale sind sowohl hinsichtlich des Taktes als auch hinsichtlich der Bitrate synchron. Der Ausgang des Empfangs-Demultiplexers 10 ist über eine hier nicht näher dargestellte Schnittstelle 11 an den Eingang eines sogenannten SDH-Multiplexers 12 angeschlossen. Mittels dieses SDH-Multiplexers 12 wird der von den Empfangs-Verarbeitungsmitteln 6 synchronisierte Signalstrom in einen synchronen höherbitratigen Rahmen (z.B. STM-1) eingesetzt.

Auf der Sendeseite, d.h. auf der Seite des Sendeteiles 2, werden die ursprünglich an den Eingangskanälen EK1, EK2 .... EK<sub>n</sub> anstehenden plesiochronen Signale aus dem übertragenen synchronen Datenstrom wieder zurückgewonnen und an die parallelen Ausgangskanäle AK1, AK2, ....AK<sub>n</sub> ausgegeben. Hierzu ist an den SDH-Übertragungskanal 3 ein sogenannter SDH-Demultiplexer 13 angeschlossen. Dort wird aus dem höherbitratigen Signalstrom (z.B. STM-1) derjenige Signalstrom entnommen, der vor seiner Übertragung von den Empfangs-Verarbeitungsmitteln 6 erzeugt worden ist. Der SDH-Demultiplexer 13 ist über eine in Fig. 1 nicht näher dargestellte Sende-Schnittstelle 14 an einen Sende-Multiplexer 15 angeschlossen. Der Ausgang des Sende-Multiplexers 15 wiederum ist an Sende-Verarbeitungsmittel 16 angeschlossen. Von den Sende-Verarbeitungsmitteln 16 wird der "synchronisierte" übertragene Signalstrom wieder in plesiochrone Signale umgesetzt. Hierzu enthalten die Sende-

Verarbeitungsmittel 16 beispielsweise u.a. eine Rückabbildereinheit (Demapper) 17 und gegebenenfalls verschiedene plesiochrone Funktionsblöcke. Derartige Funktionen sind in den Sende-Verarbeitungsmitteln 16 gemäß Fig. 3 enthalten.

Je nach Anwendungsfall können die Sende-Verarbeitungsmittel 16 unterschiedliche Funktionen enthalten. So können die Sende-Verarbeitungsmittel 16 beispielsweise auch nur eine Rückabbildereinheit 17 enthalten, während weitere plesiochrone Funktionen entfallen. Mit Hilfe der Rückabbildereinheit 17 erfolgt eine Zerlegung des Signalstroms in den plesiochronen Inhalt, Stopfinformationen und sonstige Overhead-Informationen. Auch hier erfolgt - wie im Empfangsteil 1 - die Verarbeitung im Zeitmultiplex-Verfahren.

Die von den Sende-Verarbeitungsmitteln 16 verarbeiteten plesiochronen Informationsbits werden einem Desynchronisierer 19 zugeführt. Dieser Desynchronisierer 19 ist den Sende-Verarbeitungsmitteln 16 nachgeschaltet. Am Eingang des Desynchronisierers 19 liegen die plesiochronen Signaltakte der plesiochronen Signale noch nicht vor. Im Desynchronisierer 19 wird nun für jeden Ausgangskanal  $AK_1, AK_2, \dots, AK_n$  derjenige plesiochrone Signaltakt zurückgewonnen, der dem ursprünglichen plesiochronen Signalstrom am jeweiligen Eingangskanal  $EK_1, EK_2, \dots, EK_n$  entsprochen hat. Daraufhin werden die plesiochronen Signalströme an den jeweils zugeordneten Ausgangskanal  $EK_1, EK_2, \dots, EK_n$  ausgegeben. Hierzu enthält der Desynchronisierer 19 einen Sende-Demultiplexer 20, an dessen Ausgang die Ausgangskanäle  $AK_1, AK_2, \dots, AK_n$  angeschlossen sind.

Für den ordnungsgemäßen Ablauf sind die Bauteile bzw. Funktionseinheiten der Empfangsseite und der Sendeseite - soweit erforderlich - mit einer in Fig. 1 nicht dargestellten Steuereinrichtung und gegebenenfalls weiteren Funktionseinheiten elektrisch verdrahtet. Die Empfangs-Verarbeitungsmittel 6 und die Sende-Verarbeitungsmittel 16 gemäß Fig. 1 können abhängig von den umzusetzenden plesiochronen Signalen unterschiedlich ausgestaltet sein und

sind an die Struktur der zu verarbeitenden plesiochronen Signale angepaßt.

In Fig. 2 ist ein Ausführungsbeispiel eines Empfangsteiles 1 dargestellt, welches insbesondere zur Verarbeitung von plesiochronen Signalen mit einer Bitrate von 2 Mbit/s geeignet ist. Dabei sind die Eingangskanäle EK1, EK2, .... EK<sub>n</sub> über eine Eingangsschnittstelle 21 an den Taktsynchronisierer 4 angeschlossen. Der Taktsynchronisierer 4 enthält eine der Anzahl *n* der Eingangskanäle EK entsprechende Anzahl von Pufferspeichern 22. In diese Pufferspeicher 22 werden die plesiochronen Signale mit dem ihnen zugrundeliegenden Signaltakt eingeschrieben. Mit einem gegenüber den plesiochronen Signaltakten höheren Verarbeitungstakt werden die Signale aus den Pufferspeichern 22 ausgelesen. Leert sich ein Pufferspeicher 22, so werden Stopfbits eingefügt, welche gekennzeichnet werden. D. h., diese informationslosen Bits werden bei der weiteren Verarbeitung im Empfangsteil 1 nicht berücksichtigt und dienen nur der Taktanpassung der plesiochronen Signale an einen gemeinsamen "synchronen" Verarbeitungstakt.

Die Ausgänge der Pufferspeicher 22 sind an den in Fig. 2 nicht dargestellten Empfangs-Multiplexer 5 angeschlossen. Dieser Empfangs-Multiplexer 5 wiederum ist einem ersten Funktionsblock der mehrere hintereinander geschaltete Funktionsblöcke enthaltenden Verarbeitungsmittel 6 vorgeschaltet. Dieser erste Funktionsblock wird als Dekodierer 23 bezeichnet. Dort erfolgt z.B. eine Überwachung des Signalstroms auf Signalausfall (TLOS), auf Ersatzmuster (TAIS) und auf Codefehler (TCode). Außerdem kann dort eine Dekodierung des Signals (z. B. HDB3-Dekodierung) erfolgen. In den dem Dekodierer 23 nachgeschalteten vier Funktionsblöcken 24, 25, 26 und 27 erfolgt im Falle einer 2 MBit/s-Verarbeitung eine Rahmensynchronisation. Hierbei können in den Funktionsblöcken 24-27 folgende Funktionen durchgeführt werden:

- Synchronisation auf den 2Mbit/s-Basisrahmen und Multirahmen (TFRAME),
- Extraktion von Overheadbits wie z.B. A-Bit, E-Bit, Sa-Bits,

- eventuelle Maskierung von einzelnen 64 kbit/s-Kanälen,
  - Ersatzmuster-Einsetzung (TAIS, TAUXP, TFAIS),
  - Einsetzen von Overheadbits wie A-Bit, E-Bit, Sa-Bits
- und
- Neuberechnung des Rahmenoverheads (CRC-4).

In dem dem Funktionsblock 27 nachgeschalteten Synchronisierer 8 befinden sich ein Pufferspeicher sowie eine Bit- und Byte-Stopfregelung zum Ausgleich der Bitraten. Dem Synchronisierer 8 ist die Abbildeeinheit 9 nachgeschaltet. Dort wird gegebenenfalls mit Bit-Stopfaktionen der synchrone Übertragungsrahmen (C-12) gebildet. Außerdem werden mit Hilfe einer an die Abbildeeinheit 9 angeschlossenen und den Empfangs-Verarbeitungsmitteln 6 zugeordneten Verarbeitungseinheit 28 die SDH-Overhead-Informationen (POH) ermittelt.

Der Abbildeeinheit 9 ist ein Zeiger-Generator 31 nachgeschaltet, der einen dem Signalstrom hinzuzufügenden Pointer erzeugt. Der Ausgang des Zeiger-Generators 31 ist an eine zweiteilige Demultiplexeinheit angeschlossen, welche einen ersten Empfangs-Zeitschlitzwähler 32 und einen zweiten Empfangs-Zeitschlitzwähler 33 umfaßt. Diese beiden Empfangs-Zeitschlitzwähler 32,33 ersetzen bei der Ausführungsform gemäß Fig. 2 den Empfangs-Demultiplexer 10 gemäß Fig. 1. Entsprechend ist die Empfangs-Schnittstelle 11 in Fig. 2 zweiteilig ausgebildet und weist einen ersten Empfangs-Teilschnittstelle 34 für einen ersten Datenbus und einen zweiten Empfangs-Teilschnittstelle 35 für einen zweiten Datenbus auf. Analog weist die Verarbeitungseinheit 28 eine erste Teileinheit 29 und eine zweite Teileinheit 30 auf. Dabei ist die erste Teileinheit 29 dem ersten Datenbus und die zweite Teileinheit 30 dem zweiten Datenbus zugeordnet.

Zum Steuern des Taktsynchronisierers 4 und der Empfangs-Verarbeitungsmittel 6 ist eine Steuereinrichtung 36 vorgesehen. Diese Bauteile werden von der Steuereinrichtung 36 mit einem Arbeitstakt T1 angesteuert. Außerdem ist die Steuereinrichtung 36 über weitere Steuerleitungen mit den vorgenannten Bauteilen verbunden. Diese Steuerleitungen sind durch die Steuerleitung 37 und die Steuerleitung 38 symbolisiert. In der

Steuereinrichtung 36 werden die Write-Enable-Signale sowie die Schreib- und Leseadressen zur Steuerung der vorgenannten Bauteile generiert und mit Hilfe der Steuerleitungen 37 bzw. mit Hilfe der Steuerleitungen 38 an die entsprechenden Bauteile ausgegeben. Die Steuereinrichtung 36 wiederum wird mit einem Arbeitstakt T2 betrieben. Ebenso werden die Eingangsschnittstelle 21, die Empfangs-Zeitschlitzwähler 32,33 und die Empfangs-Teilschnittstellen 34,35 durch den Arbeitstakt T2 betrieben.

Auf der Sendeseite gemäß Fig. 3 ist die Sende-Schnittstelle 14 ebenfalls zweigeteilt und aus einer ersten Sende-Teilschnittstelle 39 sowie aus einer zweiten Sende-Teilschnittstelle 40 aufgebaut. Diese beiden Sende-Teilschnittstellen 39,40 sind analog der Empfangsseite gemäß Fig. 2 an einen ersten Sende-Zeitschlitzwähler 41 bzw. einen zweiten Sende-Zeitschlitzwähler 42 angeschlossen. Diesen beiden Sende-Zeitschlitzwählern 41,42 sind zwei Zeiger-Analysatoren 43 nachgeschaltet, welche mit ihren Ausgängen einer Verarbeitungseinheit 44 und der Rückabbildereinheit 17 vorgeschaltet sind. Die Verarbeitungseinheit 44 umfaßt ebenfalls eine erste Teileinheit 45 und eine zweite Teileinheit 46. Die Zeiger-Analysatoren 43, die Verarbeitungseinheit 44 und die Rückabbildereinheit 17 wirken miteinander zusammen und extrahieren aus dem übertragenen Signalstrom den plesiochronen Signalstrom. Bezüglich eines plesiochronen Signalstromes mit der Bitrate 2Mbit/s seien hier stichwortartig folgende Funktionen dieser Bauteile genannt:

- Extraktion des VC-12 aus dem TU-12,
- Ermittlung von Pointerstopf-Ereignissen,
- Extraktion des Overheads des VC-12 (POH) und Extraktion des C-12,
- Extraktion des 2Mbit/s-Signalstromes aus dem C-12.

Nach der Rückabbildereinheit 17 erfolgt im Sendeteil 2 - analog dem Empfangsteil 1 - eine Rahmensynchronisation in den Funktionsblöcken 24 bis 27, wie dies anhand von Fig. 2 bereits beschrieben worden ist. Dem letzten Funktionsblock 27 ist der Desynchronisierer 19 nachgeschaltet. In dem Desynchronisierer 19 wird wieder der plesiochrone Signaltakt für jeden einzelnen

Ausgangskanal AK1, AK2 .... AKn zurückgewonnen. Da der Desynchronisierer 19 den Sende-Verarbeitungsmitteln nachgeschaltet ist, können die Signale vor dem Desynchronisierer 19 noch in einer einheitlichen Taktwelt der SDH verarbeitet werden. Dies ermöglicht die Verarbeitung der Signale zwischen der Sende-Schnittstelle 14 und dem Desynchronisierer 19 im Zeitmultiplexverfahren. Alle plesiochronen Funktionen des Sendeteiles 2 bis zum Desynchronisierer 19 können also noch in der Taktwelt der SDH betrieben werden. Die für die SDH notwendigen Overhead-Informationen usw., die für die plesiochronen Funktionen ohne Bedeutung sind, werden mit Hilfe eines zusätzlichen Signals markiert. Diese Markierungssignale erfüllen die gleiche Aufgabe wie die Stopfmarkierungssignale der Empfangsrichtung und unterdrücken eine Weiterverarbeitung dieser markierten Bits in den plesiochronen Funktionsblöcken.

Dem im Desynchronisierer 19 integrierten Sende-Demultiplexer 20 sind Kodierer 47 nachgeschaltet. Da nach dem Desynchronisierer 19 den einzelnen Kanälen jeweils wieder der ursprüngliche Signaltakt zugrundeliegt, ist für jeden Kanal ein Kodierer 47 erforderlich. Hier erfolgt z.B. eine Kodierung eines 2 Mbit/s-Signalstromes in den Leitungscode HDB3. Jedem Kodierer 47 ist eine Ausgangsschnittstelle 48 zugeordnet.

Analog der Empfangsseite gemäß Fig. 2 werden auch die meisten auf der Sendeseite angeordneten Bauteile gemäß Fig. 3 mit dem ersten Arbeitstakt T1 betrieben. Diese Bauteile sind über die Steuerleitungen 37 an die Steuereinrichtung 36 angeschlossen. Die beiden Sende-Teilschnittstellen 39,40 sowie die beiden Sende-Zeitschlitzwähler 41,42 werden durch den im Vergleich zum Arbeitstakt T1 hohen Arbeitstakt T2 betrieben.

Bei einer Integration der großen Anzahl komplexer digitaler Schaltungen im Empfangsteil 1 und im Sendeteil 2 kommt der Verlustleistungsoptimierung eine große Bedeutung zu. Aus diesem Grund ist es wünschenswert, den Arbeitstakt T1 so niedrig wie möglich zu halten und möglichst viele Schaltungsfunktionen mit diesem niedrigen Arbeitstakt T1 zu

betreiben. Dies sei nachfolgend anhand von 21 parallel zu verarbeitenden plesiochronen Signalen mit einer Bitrate von 2Mbit/s erläutert. 21 Signale sind 1/3 der Kapazität eines synchronen STM-1-Signals, welches mit einer Bitrate von 155.52Mbit/s übertragen wird. Somit müssen für 21 Signale  $155.52\text{MHz}/3$  ausreichen. Außerdem wird die Verarbeitung parallelisiert in ein Byte-Format. Daraus ergibt sich eine weitere Reduktion des Arbeitstaktes T1 um den Faktor 8. Zur Verarbeitung von 21 Signalen mit einer Bitrate von 2Mbit/s wird also ein Arbeitstakt T1 mit einer Frequenz von  $(155.52\text{ MHz}/3)/8 = 6.48\text{ MHz}$  benötigt.

Da die Schaltung auf der SDH-Seite über byte-parallele Schnittstellen verfügt, ist der höchste zu verarbeitende Arbeitstakt T2 mit  $155.52\text{ MHz}/8 = 19.44\text{ MHz}$ . Aus diesem Arbeitstakt T2 werden in der Steuereinrichtung 36 der Arbeitstakt T1, die Write-Enable-Signale sowie die Schreib- und Leseadressen generiert, welche mittels der Steuerleitungen 37 bzw. mittels der Steuerleitungen 38 übertragen werden. Im Falle einer vollständig digitalen Realisierung des Desynchronisierers 19 muß dieser ggfs. mit einem sehr hohen Arbeitstakt T3 von z. B. 65 MHz betrieben werden.

Die Empfangs-Verarbeitungsmittel 6 (zu ihnen gehört auch die Verarbeitungseinheit 28) können im Zeitmultiplexverfahren mehrfach verwendet werden, da die zu verarbeitenden plesiochronen Signale nach dem Taktsynchronisierer 4 frequenzgleich sind. Analog können im Sendeteil 2 die Sende-Verarbeitungsmittel 16 (zu ihnen gehört auch die Verarbeitungseinheit 44) im Zeitmultiplexverfahren mehrfach verwendet werden, da die Funktionen der Sende-Verarbeitungsmittel 16 in einer einheitlichen Taktwelt der SDH betrieben werden. Außerdem werden ab der Rückabbildereinheit 17 ungültige Daten, welche nur noch der Frequenzanpassung an einen höheren Arbeitstakt dienen, als ungültig markiert und in den Funktionsblöcken 24 bis 27 nicht bearbeitet.

Bei ihrer Mehrfachverwendung im Zeitmultiplexverfahren können die Empfangs-Verarbeitungsmittel 6 und die Sende-Verarbeitungsmittel 16 Bestandteile von sogenannten

digitalen Schaltwerken sein, welche jeweils einen Eingang E enthalten. Dieser Eingang E umfaßt eine Anzahl  $n$  von zueinander parallelen Kanälen  $E_1, \dots, E_n$ . Dabei entspricht diese Anzahl  $n$  der Anzahl der Eingangskanäle  $EK_1, EK_2, \dots, EK_n$ . Dies ist beispielhaft anhand des Empfangsteiles 1 in Fig. 1 dargestellt. Der Aufbau eines derartigen digitalen Schaltwerkes wird nachfolgend anhand von Fig. 4 erläutert.

Gemäß Fig. 4 enthält ein digitales Schaltwerk einen Eingang E, der eine Anzahl  $n$  von zueinander parallelen Kanälen  $E_1, E_2, \dots, E_n$  umfaßt. Die Eingangskanäle  $E_1, E_2, \dots, E_n$  sind über einen Multiplexer 102 an den Eingang 103 eines Schaltnetzes 104 angeschlossen. Ein Ausgang 105 des Schaltnetzes 104 ist an einen Demultiplexer 106 angeschlossen, der das dort anstehende aktuelle Ausgangssignal  $a_{ik}$  (Ausgangsvariablen) auf einen der Ausgangskanäle  $A_1, A_2, \dots, A_n$ , in der Figur auf den Ausgangskanal  $A_i$ , eines ersten Ausgangs A des digitalen Schaltwerks verteilt. Der Multiplexer 102 schaltet einen der Eingangskanäle  $E_1, E_2, \dots, E_n$ , in der Figur den Eingangskanal  $E_i$ , mit dem Eingangssignal  $e_{ik}$  (EingangsvARIABLE) auf den Eingang 103 des Schaltnetzes 104. Sowohl die Eingangssignale  $e_{ik}$  als auch die Ausgangssignale  $a_{ik}$  selbst können dabei aus mehreren Komponenten bestehen, so daß auch jeder Eingangskanal  $E_i$  und jeder Ausgangskanal  $A_i$  wiederum aus mehreren parallelen Kanälen zusammengesetzt sein kann.

Dem Schaltnetz 104 ist ein Zwischenspeicher 108 zugeordnet. In diesem Zwischenspeicher 108 ist der aktuelle Systemzustand  $s_{ik}$  gespeichert. Der Zwischenspeicher 108 ist mit seinem Eingang und mit seinem Ausgang an das Schaltnetz 104 angeschlossen. Am Eingang des Schaltnetzes 104 liegt der vom Zwischenspeicher 108 ausgegebene und zum aktuellen Eingangskanal  $E_i$  sowie zum aktuellen Arbeitstakt  $k$  dieses Eingangskanals  $E_i$  gehörende und in dessen vorherigem Arbeitstakt  $(k-1)$  generierte Systemzustand  $s_{ik}$  an. Die kombinatorische Logik des Schaltnetzes 104 erzeugt aus dem am Eingangskanal  $E_i$  anstehenden aktuellen Eingangssignal  $e_{ik}$  sowie aus dem den Systemzustand  $s_{ik}$  repräsentierenden Bitmuster das zum Ausgangskanal  $A_i$  gehörende aktuelle Ausgangssignal  $a_{ik}$  sowie ein Bitmuster, das den Folgesystemzustand  $s_{i(k+1)}$  für den Eingangskanal  $E_i$



wiedergibt. Im Ausführungsbeispiel ist der Zwischenspeicher 108 außerdem an einen zweiten Demultiplexer 110 angeschlossen, der an seinen Ausgangskanälen  $B_1, B_2, \dots, B_n$  den jeweils zugehörigen Systemzustand  $s_{1k}, s_{2k}, \dots, s_{nk}$  an einen zweiten Ausgang B ausgibt.

Dem Zwischenspeicher 108 ist ein Zustandsspeicher 112 zugeordnet, der eine der Anzahl  $n$  der Eingangs - bzw. Ausgangskanäle  $E_i$  bzw.  $A_i$  entsprechende Anzahl  $n$  von Speicherplätzen enthält. Im Zustandsspeicher 112 können somit  $n$  zeitlich aufeinanderfolgende Systemzustände  $s_{1k}, s_{2k}, \dots, s_{nk}$  gespeichert werden. Aus dem Zustandsspeicher 112 wird der zum aktuellen vom Multiplexer 102 durchgeschalteten Eingangskanal  $E_i$  und zu dessen Arbeitstakt  $k$  gehörende Systemzustand  $s_{ik}$  in den Zwischenspeicher 108 geladen und von diesem an die kombinatorische Logik des Schaltnetzes 104 weitergegeben. Der vom Schaltnetz 104 generierte Folgesystemzustand  $s_{i(k-1)}$  wird anschließend in den Zwischenspeicher 108 geladen und von dort in den Zustandsspeicher 112 abgelegt.

Zum Steuern des Multiplexers 102 sowie der Demultiplexer 106 und 110 und des Zustandsspeichers 112 ist eine Steuereinrichtung 114 vorgesehen, welche mit der Steuereinrichtung 36 gemäß Fig. 2 und Fig. 3 identisch sein kann. Diese Steuereinrichtung 114 sorgt dafür, daß dem vom Multiplexer 102 auf das Schaltnetz 104 durchgeschalteten Eingangskanal  $E_i$  die diesem zugehörigen Ausgangskanäle  $A_i$  und  $B_i$  durchgeschaltet werden, und daß über dem Zwischenspeicher 108 der zu diesem Eingangskanal  $E_i$  gehörende aktuelle Systemzustand  $s_{ik}$  an das Schaltnetz 104 ausgegeben wird.

Die Steuereinrichtung 114 ist hierzu über Steuerleitungen 116, 118, 120 an den Multiplexer 102 bzw. an die Demultiplexer 106, 110 angeschlossen. Über eine weitere Steuerleitung 122 wird ein Taktsignal an den Zwischenspeicher 108 geführt, das den Arbeitstakt  $T$  des digitalen Schaltwerks festlegt. Der Taktfrequenz des Arbeitstaktes  $T$  des digitalen Schaltwerks ist dabei um einen der Anzahl  $n$  entsprechenden Faktor größer als die Taktfrequenz des zu einem Eingangskanal  $E_i$  gehörenden

Arbeitstaktes  $k$ .

Im Ausführungsbeispiel gemäß Fig. 5 ist als digitales Schaltwerk ein im Zeitmultiplex für 8 Eingangskanäle  $E_1$  bis  $E_8$  ausgelegter 16-Bit-Zähler dargestellt. Das Schaltnetz 104 enthält hierfür die für einen 16-Bit-Zähler erforderliche kombinatorische Logik. Die Eingangskanäle in  $E_1$  bis  $E_8$  sind über den Multiplexer 102 an einen Eingang des Schaltnetzes 104 angeschlossen. Am Ausgang des Schaltnetzes 104 wird ein Datenwort oder Ausgangssignal  $a_{ik}$  mit einer Wortlänge von 16 Bit ausgegeben. Dieses Ausgangssignal  $a_{ik}$  wird einem Flip-Flop 124 zugeführt, das über die Taktleitung 122 getriggert das 16-Bit-Datenwort  $a_{ik}$  speichert und am Ausgang  $Q$  bereitstellt.

Über eine Adreßleitung 126 wird eine 3-Bit-Schreibadresse an den Zustandsspeicher 112 gegeben. In diesem Zustandsspeicher 112, im Ausführungsbeispiel ein RAM, können acht Worte mit jeweils 16 Bit Wortlänge gespeichert werden. Jedem Kanal  $E_i$  ist dabei eine Schreibadresse zugeordnet, wobei die anliegende Schreibadresse  $(i-1)$  zum derzeit vom Multiplexer durchgeschalteten Eingangskanal  $E_i$  korrespondiert. Über eine write-enable-Steuerleitung 128 wird der Schreibvorgang des am Ausgang  $Q$  des Flip-Flops 124 anstehenden Datenwortes in die an der Adreßleitung 126 anstehende Schreibadresse  $(i-1)$  getriggert.

Das Auslesen des Zustandsspeichers 112 erfolgt über ein als ausgangsseitiger Zwischenspeicher dienendes Flip-Flop 130, das das an seinem Ausgang  $Q$  anstehende und den aktuellen Systemzustand repräsentierende Datenwort an das Schaltnetz 104 ausgibt. Die hierzu zum Auslesen des Zustandsspeichers 112 durch das Flip-Flop 130 erforderliche Leseadresse wird über eine Adreßleitung 132 zugeführt.

Im Zustandsspeicher 112 sind die zu den 8 Eingangskanälen  $E_1, \dots, E_8$  jeweils gehörenden Zählerstände gespeichert. Diese Zählerstände können über eine Adreßleitung 134 gezielt adressiert und über eine Datenleitung 136 ausgegeben werden. Da in diesem Ausführungsbeispiel der Systemzustand des Schaltwerkes identisch mit dem Ausgangssignal ist, ist es möglich, das Ausgangssignal des Schaltwerkes ohne

Demultiplexer direkt durch Zugriff auf den Inhalt des Zustandsspeichers 112 zu entnehmen.

In der Fig. 6 sind die Arbeitstakte der zu den Eingängen E1 bis E8 jeweils gehörenden Zähler des Ausführungsbeispiels gemäß Fig. 5 dargestellt. Der Figur ist zu entnehmen, daß der Arbeitstakt T des digitalen Schaltwerks das 8-fache des Arbeitstaktes k der zu den einzelnen Kanälen E1 bis E8 jeweils korrespondierenden Zähler beträgt. In der untersten Zeile der Figur ist die zeitliche Abfolge der am Multiplexer 102 jeweils anliegenden Adresse i angegeben. Entsprechend dieser Adresse wird der Eingangskanal  $E_i$  (Adresse 0 entspricht hierbei dem Kanal E8) vom Multiplexer 102 an das Schaltnetz 104 durchgeschaltet.

Das am Ausgang des Schaltnetzes 104 anstehende Datenwort  $a_{ik}$  wird über das write-enable-Taktsignal W in die darunterliegende Adresse (i-1) in den Zustandsspeicher eingeschrieben und repräsentiert den Folgesystemzustand  $s_{i(k-1)}$  des zum Eingangskanal  $E_i$  gehörenden Zählers in dessen nächstem Arbeitstakt (k+1). Das dem vorherigen Folgesystemzustand  $s_{ik}$  repräsentierende Datenwort  $a_{i(k-1)}$  befindet sich im Zustandsspeicher unter der Adresse (i+1). Aufgrund der eingangsseitig und ausgangsseitig dem Zustandsspeicher zugeordneten Flip-Flops ergibt sich eine Differenz von Leseadresse zwischen Schreibadresse um 2. Wenn das ausgangsseitige Flip-Flop entfällt, kann die Differenz von Schreib- und Leseadresse auf 1 verringert werden. Entfällt auch das eingangsseitige Flip-Flop, so müßte innerhalb eines Zeittakts aus einer Adresse ausgelesen und dieselbe Adresse eingeschrieben werden. Dies ist durch eine geeignete Steuerung des Zustandsspeichers 112 möglich, so daß der eingangsseitige Zwischenspeicher, im Ausführungsbeispiel gemäß Fig. 5 das Flip-Flop 124, entfallen kann.

Die Empfangs-Verarbeitungsmittel 6 enthalten in einer Ausführungsform mindestens ein Schaltnetz 104 und einen diesem Schaltnetz 104 zugeordneten Zustandsspeicher 112 sowie ggfs. weitere Bauteile des digitalen Schaltwerks gemäß Fig. 4 bzw. Fig. 5. Dabei entspricht der Empfangs-Multiplexer 5 dem Multiplexer 102 gemäß Fig. 4, während der Empfangs-

Demultiplexer 10 dem ersten Demultiplexer 106 gemäß Fig. 4 entspricht. Analog können auch die Sende-Verarbeitungsmittel 16 und/oder der Desynchronisierer 19 durch ein digitales Schaltwerk oder durch Bestandteile davon ausgestaltet sein. Dabei entspricht dem Sende-Multiplexer 15 der Multiplexer 102 gemäß Fig. 4, während dem Sende-Demultiplexer 20 der erste Demultiplexer 106 gemäß Fig. 4 entspricht. Auch die Verarbeitungseinheiten 28, 44 können durch digitale Schaltwerke oder durch Bestandteile davon realisiert sein.

Für komplexe Anwendungsfälle ist es gemäß Fig. 7 auch möglich, mehrere zumindest das Schaltnetz 104 und den Zustandsspeicher 112 enthaltende Grundeinheiten 140 zu kaskadieren, d.h. hintereinander anzuordnen. In diesem Anwendungsfall entfallen für die zwischengeschalteten Grundeinheiten 140 jeweils die Multiplexer- und Demultiplexer-Strukturen.

In einem Anwendungsfall ist jeweils eine derartige Grundeinheit 140 in den einzelnen Funktionseinheiten 8, 9, 23, 24, 25, 26, 27, 29, 30 und 31 gemäß Fig. 2 und in den Funktionseinheiten 17, 19, 24, 25, 26, 27, 43, 45 und 46 gemäß Fig. 3 enthalten. Dabei ist die Grundeinheit 140 abhängig von der jeweiligen Funktionseinheit gegebenenfalls mit weiteren Bauteilen des digitalen Schaltwerks gemäß Fig. 4 und Fig. 5 kombiniert.

# Patentansprüche:

1. Schaltungsanordnung für einen Empfangsteil (1) eines SDH (= Synchrone digitale Hierarchie)-Übertragungssystems zur Übertragung plesiochroner Signale,

- mit den plesiochronen Signalen zugeordneten Eingangskanälen (EK1, EK2, .... EK<sub>n</sub>), die an einen Taktsynchronisierer (4) zur Anpassung der empfangenen plesiochronen Signale an einen gemeinsamen Verarbeitungstakt angeschlossen sind, und
- mit einem dem Taktsynchronisierer (4) nachgeschalteten Empfangs-Multiplexer (5), an dessen Ausgang Empfangs-Verarbeitungsmittel (6) zum Umsetzen eines plesiochronen Signals in ein synchrones Signal für einen SDH-Übertragungskanal angeschlossen sind.

2. Schaltungsanordnung nach Anspruch 1, bei der der Taktsynchronisierer (4) eine der Anzahl der Eingangskanäle (EK1, EK2, .... EK<sub>n</sub>) entsprechende Anzahl von Pufferspeichern (22) zum Einschreiben der Signale mit ihrem plesiochronen Signaltakt und zum Auslesen der Signale mit einem synchronen Verarbeitungstakt enthält.

3. Schaltungsanordnung nach Anspruch 1 oder 2, mit einem den Empfangs-Verarbeitungsmitteln (6) nachgeschalteten Demultiplexer (10).

4. Schaltungsanordnung nach einem der Ansprüche 1 bis 3, mit einer Steuereinrichtung (36) zum Steuern des Taktsynchronisierers (4), des Empfangs-Multiplexers (5), der Empfangs-Verarbeitungsmittel (6) und ggfs. des Empfangs-Demultiplexers (10).

5. Schaltungsanordnung für einen Sendeteil (2) eines SDH-Übertragungssystems zur Übertragung plesiochroner Signale,

- mit einem Sende-Multiplexer (15), an dessen Ausgang

Sende-Verarbeitungsmittel (16) zum Umsetzen eines übertragenen synchronen Signals in ein plesiochrones Signal angeschlossen sind, und

- mit einem den Sende-Verarbeitungsmitteln (16) nachgeschalteten Desynchronisierer (19) zur Rückgewinnung der plesiochronen Signaltakte der plesiochronen Signale und zur Ausgabe der plesiochronen Signale an ihnen zugeordnete Ausgangskanäle (AK1, AK2, ..., AKn).

6. Schaltungsanordnung nach Anspruch 5, bei der die Sende-Verarbeitungsmittel (16) an einen im Desynchronisierer (19) enthaltenen Sende-Demultiplexer (20) angeschlossen sind.

7. Schaltungsanordnung nach Anspruch 5 oder 6, mit einer Steuereinrichtung (36) zum Steuern des Sende-Multiplexers (15), der Sende-Verarbeitungsmittel (16) und des Desynchronisierers (19).

8. Schaltungsanordnung nach einem der Ansprüche 1 bis 4, bei der die Empfangs-Verarbeitungsmittel (6) ein Schaltnetz (104) und einen diesem zugeordneten Zustandsspeicher (112) enthalten, wobei der Eingang (103) des Schaltnetzes (104) dem Ausgang des Empfangs-Multiplexers (5) nachgeschaltet ist, und wobei der Zustandsspeicher (112) zum Speichern einer mindestens der Anzahl (n) der an den Empfangs-Multiplexer (5) angeschlossenen Kanäle ( $E_i$ ) entsprechenden Anzahl (n) von Systemzuständen ( $s_{ik}$ ) ausgelegt ist.

9. Schaltungsanordnung nach einem der Ansprüche 5 bis 7, bei der die Sende-Verarbeitungsmittel (16) ein Schaltnetz (104) und einen diesem zugeordneten Zustandsspeicher (112) enthalten, wobei der Eingang (103) des Schaltnetzes (104) dem Ausgang des Sende-Multiplexers (15) nachgeschaltet ist, und wobei der Zustandsspeicher (112) zum Speichern einer mindestens der Anzahl (n) der an den Sende-Multiplexer (15) angeschlossenen Kanäle entsprechenden Anzahl (n) von Systemzuständen ( $s_{ik}$ ) ausgelegt ist.

10. Schaltungsanordnung nach einem der Ansprüche 5 bis

7, bei der der Desynchronisierer (19) ein Schaltnetz (104) und einen diesem zugeordneten Zustandsspeicher (112) enthält, wobei der Eingang (103) des Schaltnetzes (104) den Sende-Verarbeitungsmitteln (16) nachgeschaltet ist, und wobei der Zustandsspeicher (112) zum Speichern einer mindestens der Anzahl (n) der an den Sende-Multiplexer (15) angeschlossenen Kanäle entsprechenden Anzahl von Systemzuständen ( $s_{ik}$ ) ausgelegt ist.

11. Schaltungsanordnung nach einem der Ansprüche 8 bis 10, bei dem zum Ausgeben der Ausgangssignale ( $a_{ik}$ ) des Schaltnetzes (104) ein erster Ausgang (A) vorgesehen ist, dem ein erster Demultiplexer (106), insbesondere der Empfangs-Demultiplexer (10) oder der Sende-Demultiplexer (20), vorgeschaltet ist.

12. Schaltungsanordnung nach einem der Ansprüche 8 bis 11, bei dem zum Ausgeben des Systemzustandes ( $s_{ik}$ ) ein zweiter Ausgang (B) vorgesehen ist, dem ein zweiter Demultiplexer (110) vorgeschaltet ist.

13. Schaltungsanordnung nach einem der Ansprüche 8 bis 12, mit einem zwischen das Schaltnetz (104) und den Zustandsspeicher (112) geschalteten Zwischenspeicher (108) zum Zwischenspeichern eines aktuellen Systemzustands ( $s_{ik}$ ).

14. Schaltungsanordnung nach einem der Ansprüche 8 bis 13, mit einer Steuereinrichtung (36, 114) zum Steuern des Zustandsspeichers (112), des zugeordneten Multiplexers (102) sowie des ersten und zweiten Demultiplexers (106, 110).

15. Schaltungsanordnung nach einem der Ansprüche 8 bis 14, mit einer Mehrzahl von hintereinander geschalteten Schaltnetzen (104), denen jeweils ein Zustandsspeicher (112) zugeordnet ist, der zum Speichern einer zumindest der Anzahl der an den Empfangs-Multiplexer (5) oder Sende-Multiplexer (15) angeschlossenen Kanäle entsprechenden Anzahl von Systemzuständen ( $s_{ik}$ ) ausgelegt ist.

## Zusammenfassung

Eine Schaltungsanordnung für einen Empfangsteil (1) eines SDH-Übertragungssystems zur Übertragung plesiochroner Signale enthält diesen Signalen zugeordnete Eingangskanäle (EK1, EK2, ....., EK<sub>n</sub>), welche an einen Taktsynchronisierer (4) zur Anpassung der plesiochronen Signale an einen gemeinsamen Verarbeitungstakt angeschlossen sind. Dem Taktsynchronisierer (4) ist ein Multiplexer (5) nachgeschaltet, an dessen Ausgang Empfangs-Verarbeitungsmittel (6) zum Umsetzen eines plesiochronen Signals in ein synchrones Signal für einen SDH-Übertragungskanal (3) angeschlossen sind. Eine Schaltungsanordnung für einen Sendeteil (2) des SDH-Übertragungssystems enthält einen Multiplexer (15), an dessen Ausgang Sende-Verarbeitungsmittel (16) zum Umsetzen eines übertragenen synchronen Signals in ein plesiochrones Signal angeschlossen sind. Mittels eines den Sende-Verarbeitungsmitteln (16) nachgeschalteten Desynchronisierers (9) werden die plesiochronen Signaltakte der plesiochronen Signale zurückgewonnen und die plesiochronen Signale an ihnen zugeordnete Ausgangskanäle (AK1, AK2, ....., AK<sub>n</sub>) ausgegeben.

Fig. 1



## Bezugszeichenliste

E	Eingang	
E1, E2, En	Eingangskanal	
EK1, EK2, EK <sub>n</sub>	Eingangskanal	
A	erster Ausgang	
A1, A2, A <sub>n</sub>	Ausgangskanal	
AK1, AK2, AK <sub>n</sub>	Ausgangskanal	
B	zweiter Ausgang	
B1, B <sub>n</sub>	Ausgangskanal	
e <sub>ik</sub>	Eingangssignal	
a <sub>ik</sub>	Ausgangssignal	
s <sub>ik</sub>	Systemzustand	
T	Arbeitstakt	
T1	erster Arbeitstakt	
T2	zweiter Arbeitstakt	
T3	Arbeitstakt	
k	Arbeitstakt	
i	Adresse	
n	Anzahl d. Kanäle	
1	Empfangsteil	
2	Sendeteil	
3	SDH-Übertragungs- kanal	
4	Taktsynchronisierer	
5	Empfangs-Multi- plexer	
6	Empfangs-Verarbei- tungsmittel	
8	Synchronisierer	
9	Abbildereinheit	
10	Empfangs-Demulti- plexer	
11	Empfangs-Schnitt- stelle	
12	SDH-Multiplexer	
13	SDH-Demultiplexer	
14	Sende-Schnittstelle	
15	Sende-Multiplexer	
16	Sende-Verarbeitungsmittel	
17	Rückabbildereinheit	
19	Desynchronisierer	
20	Sende-Demultiplexer	
21	Eingangsschnittstelle	
22	Pufferspeicher	
23	Dekodierer	
24	Funktionsblock	
25	Funktionsblock	
26	Funktionsblock	
27	Funktionsblock	
28	Verarbeitungseinheit	
29	erste Teileinheit	
30	zweite Teileinheit	
31	Zeiger-Generator	
32	erster Empfangs-Zeit- schlitzwähler	
33	zweiter Empfangs-Zeit- schlitzwähler	
34	erste Empfangs-	Teilschnittstelle
35	zweite Empfangs-	Teilschnittstelle
36	Steuereinrichtung	

37	Steuerleitung
38	Steuerleitung
39	erste Sende-Teilschnittstelle
40	zweite Sende-Teilschnittstelle
41	erster Sende-Zeitschlitz- wähler
42	zweiter Sende-Zeitschlitz- wähler
43	Zeiger-Analysator
44	Verarbeitungseinheit
45	erste Teileinheit
46	zweite Teileinheit
47	Kodierer
48	Ausgangsschnittstelle
102	Multiplexer
103	Eingang
104	Schaltnetz
105	Ausgang
106	erster Demultiplexer
108	Zwischenspeicher
110	zweiter Demultiplexer
112	Zustandsspeicher
114	Steuereinrichtung
116	Steuerleitung
118	Steuerleitung
120	Steuerleitung
122	Taktleitung
124	Flip-Flop
126	Adreßleitung
128	Write-Enable-Steuerleitung
130	Flip-Flop
132	Adreßleitung
134	Adreßleitung
136	Datenleitung
140	Grundeinheit

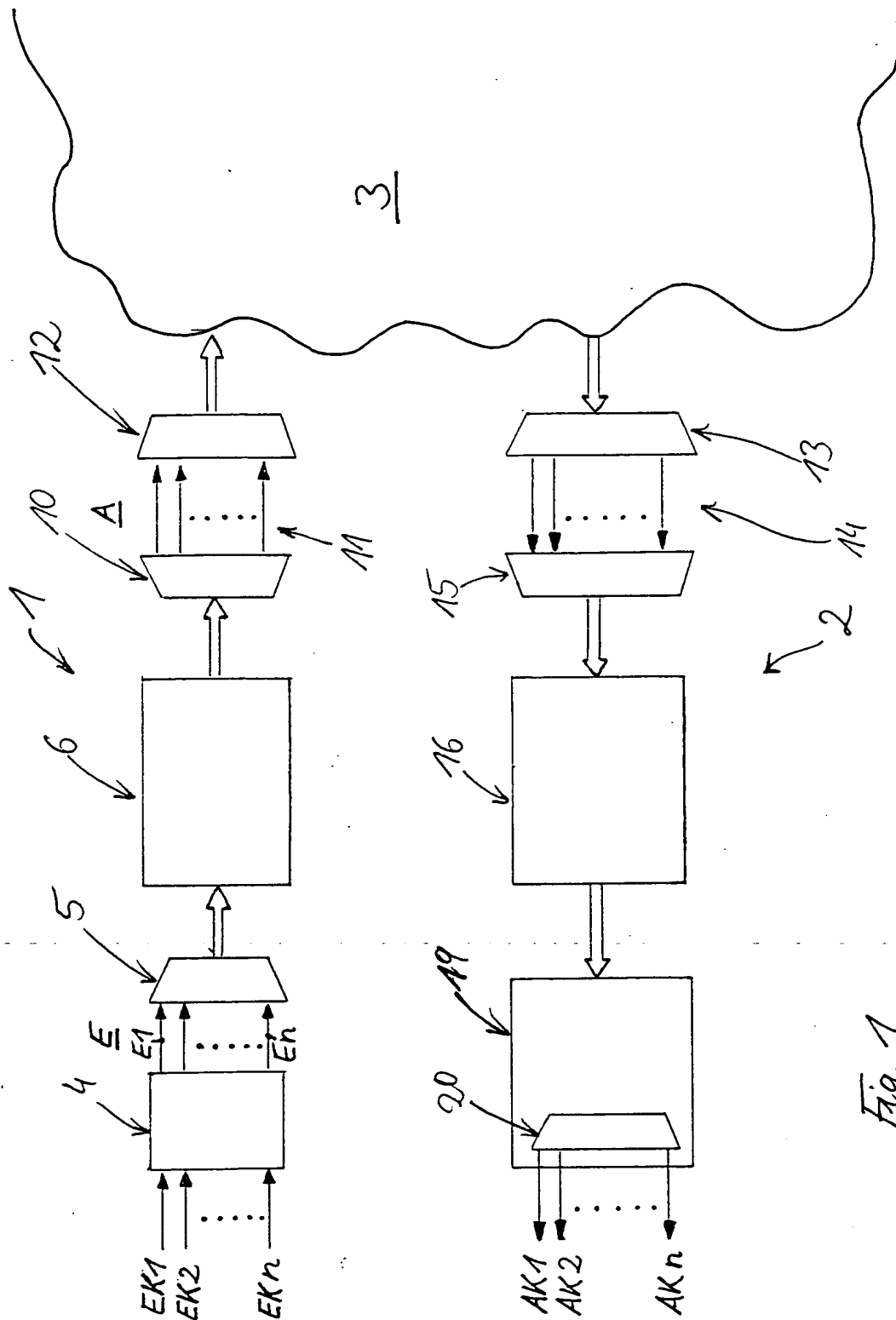


Fig. 1

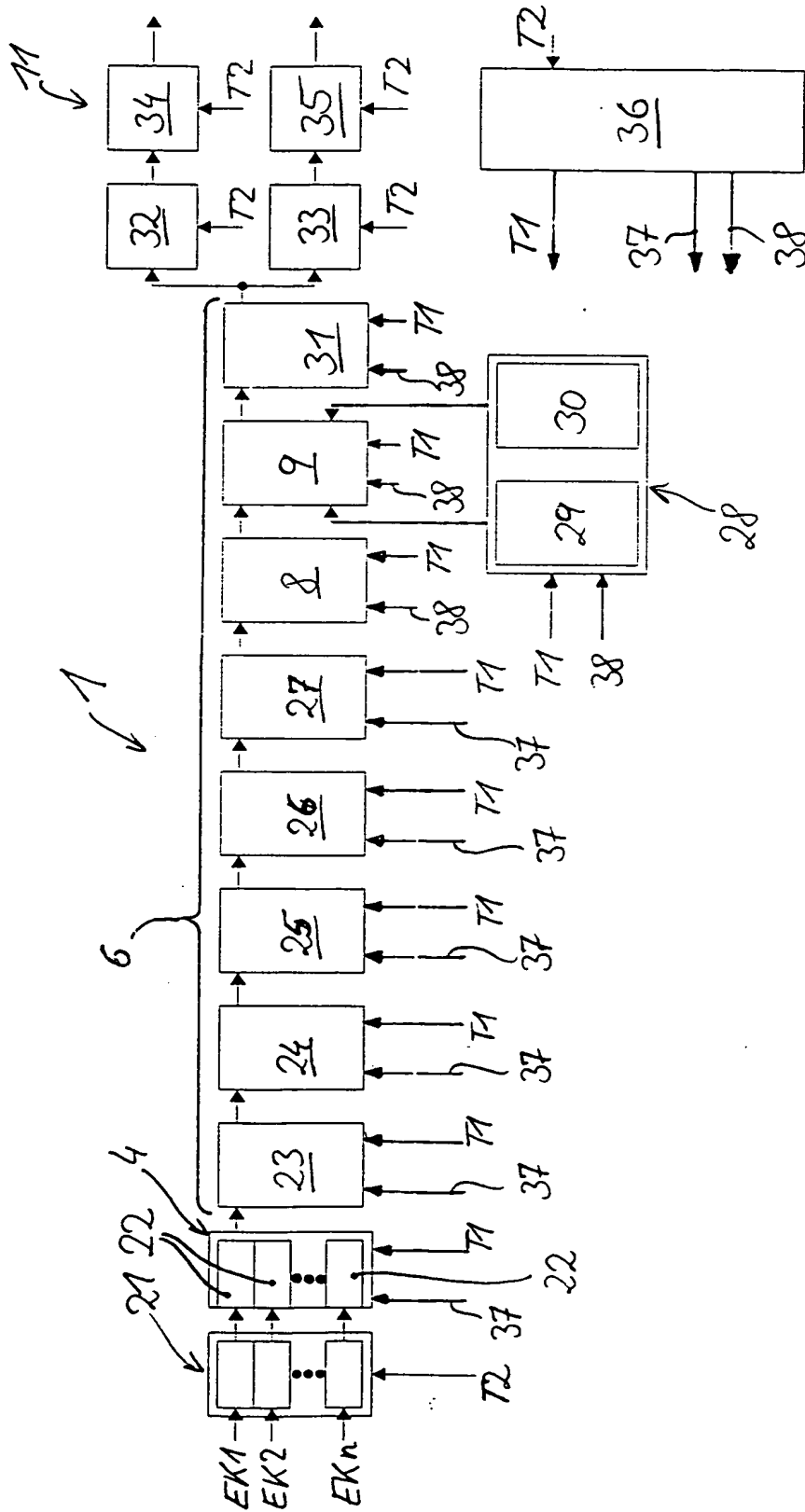
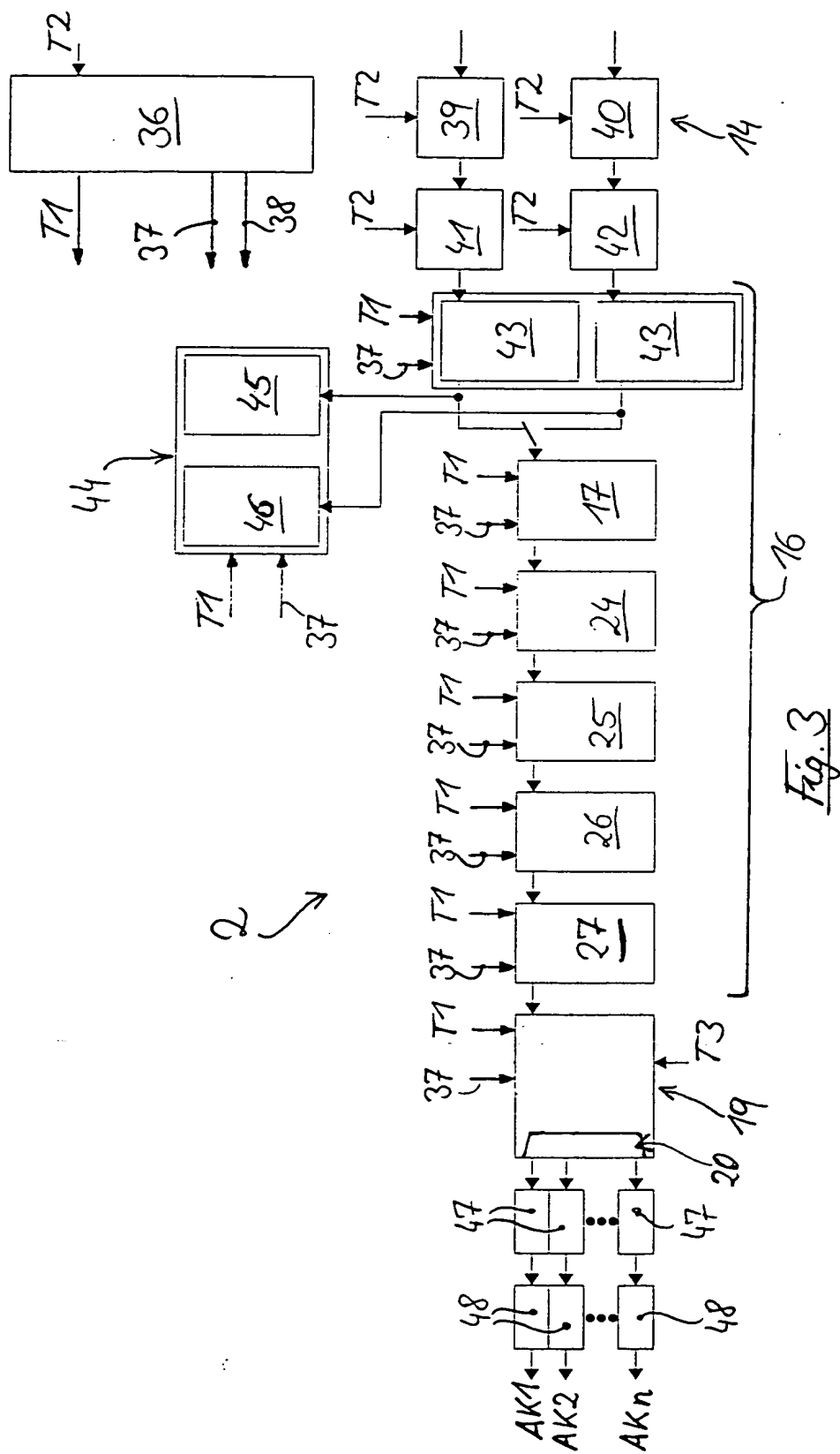


Fig. 2



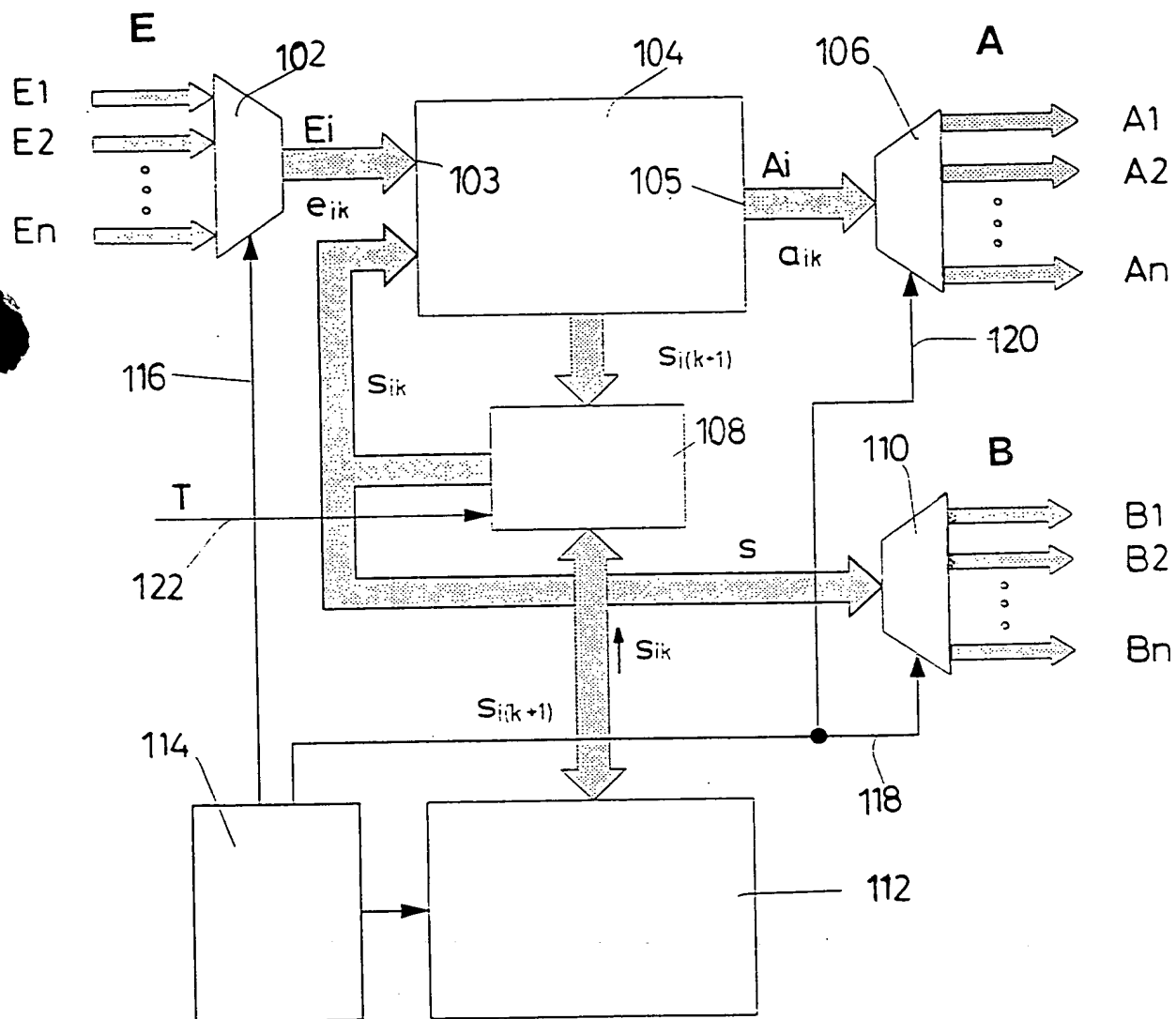


Fig.4

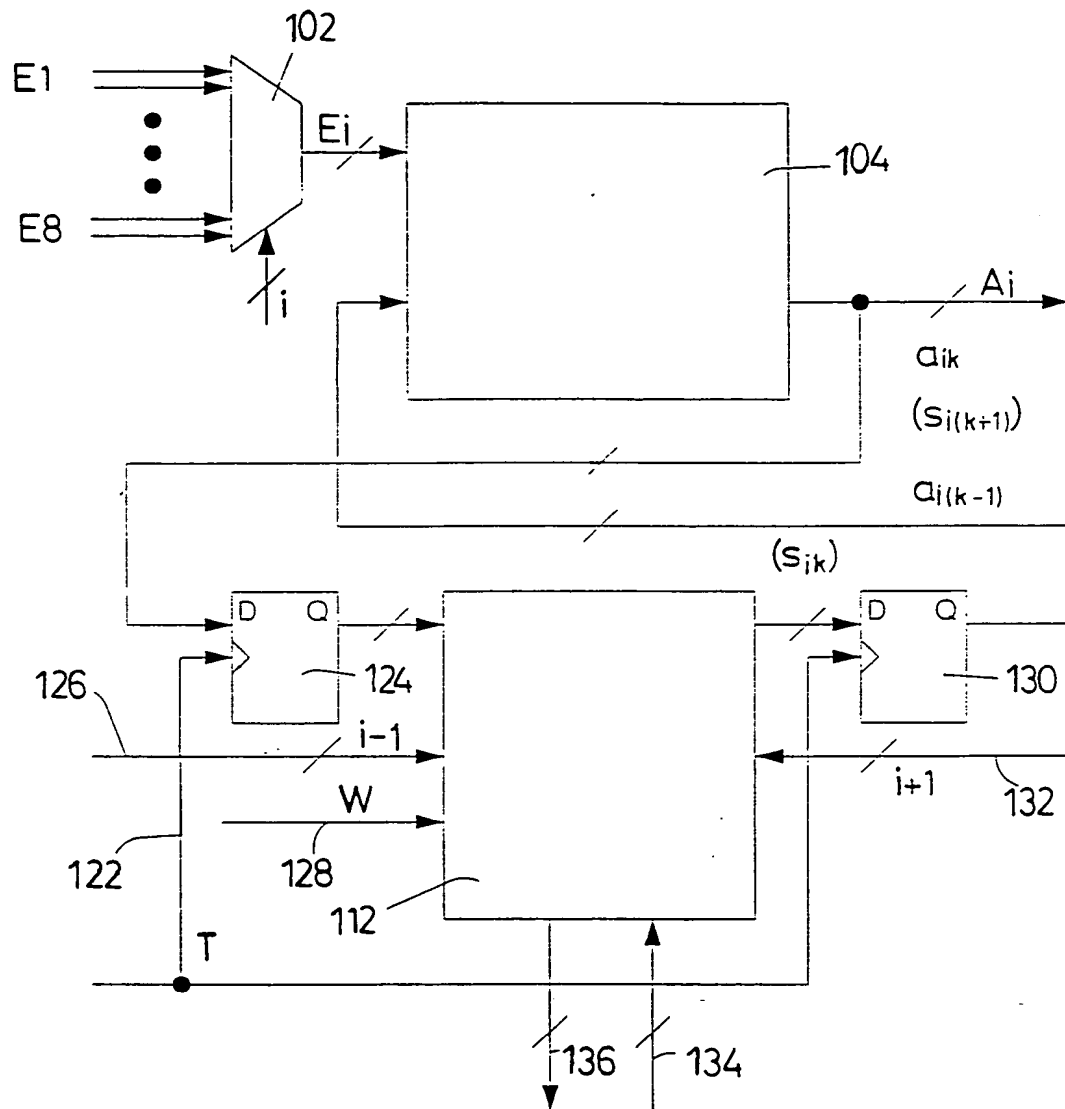


Fig.5

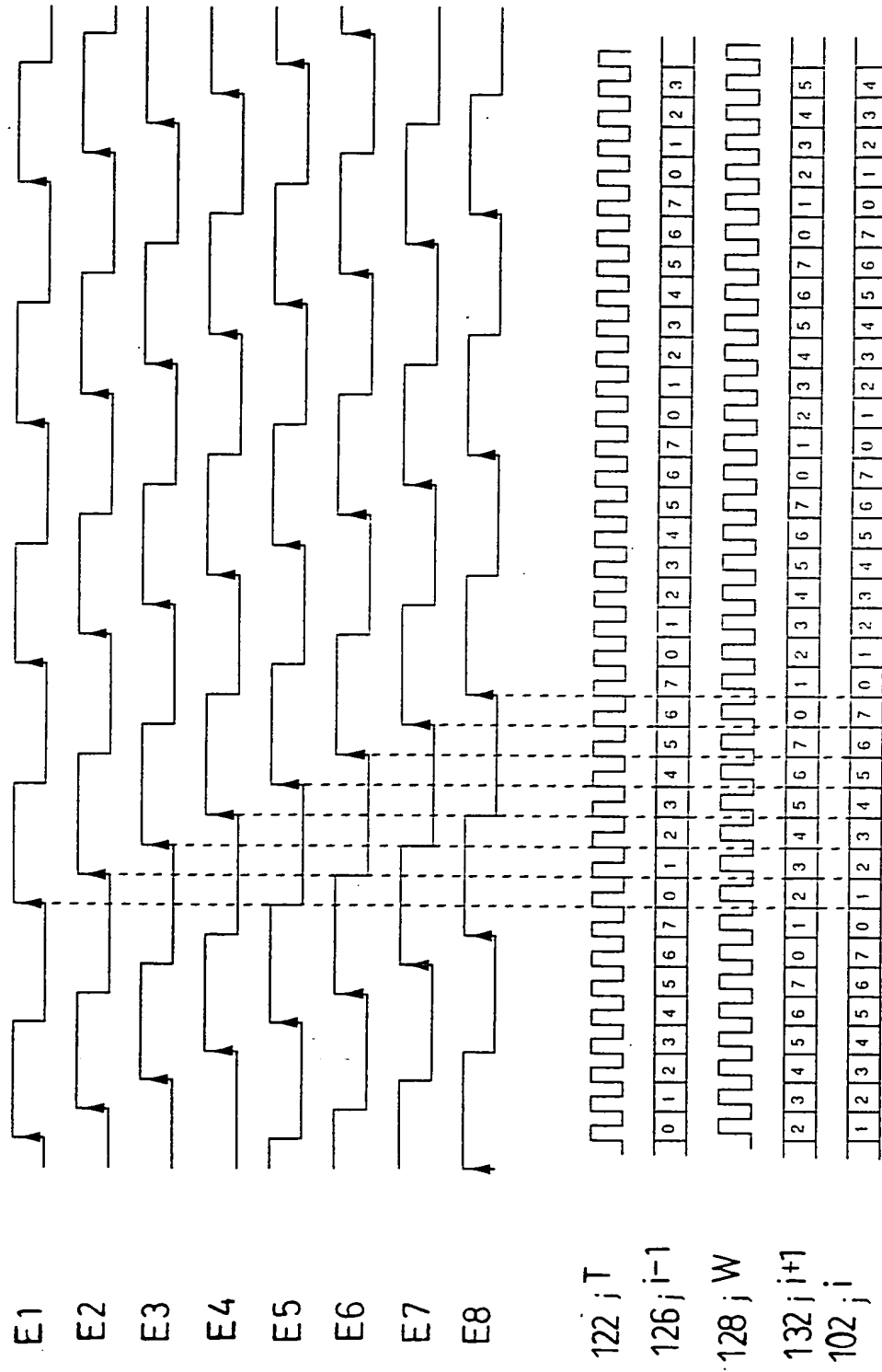
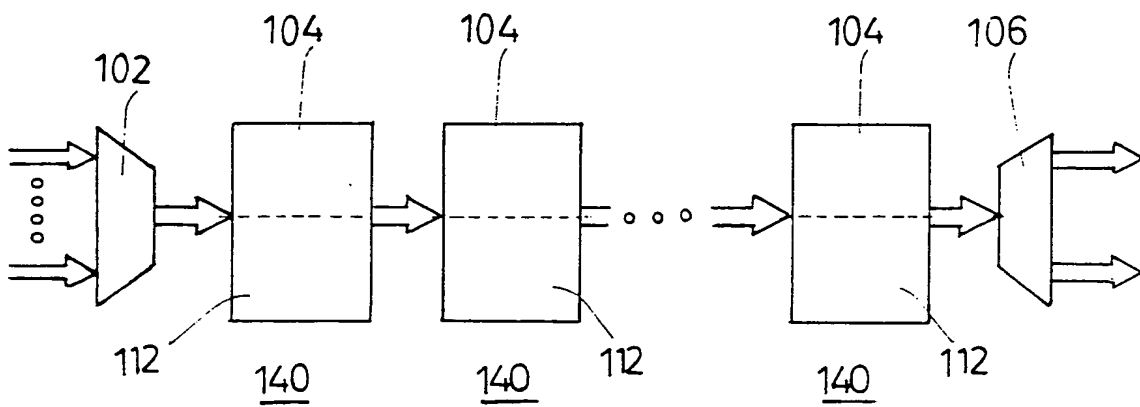


Fig.6



Fig.7